

3 / 5

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-168169

(43)Date of publication of application : 22.06.1999

(51)Int.CI.

H01L 23/50

(21)Application number : 09-334658

(71)Applicant : HITACHI LTD
HITACHI HOKKAI
SEMICONDUCTOR LTD

(22)Date of filing : 04.12.1997

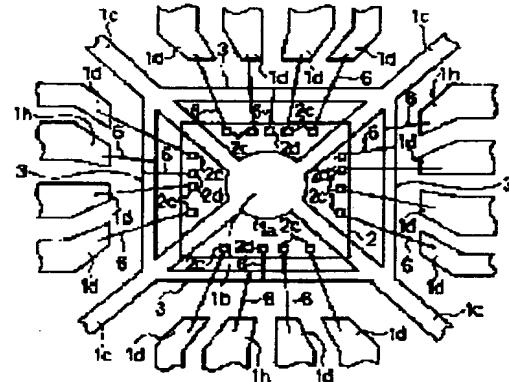
(72)Inventor : OKAMOTO TOSHIAKI

(54) LEAD FRAME, SEMICONDUCTOR DEVICE USING LEAD FRAME AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To eliminate the restriction on the pad layout of a semiconductor chip, which is mounted on the semiconductor device having a small tab structure.

SOLUTION: Following parts are provided. A tab 1a mounts a semiconductor chip 2 and has the size of a chip mounting part 1b which is smaller than that of the semiconductor chip 2. A plurality of inner leads 1d are elongated and provided around the tab 1a. A tab-suspending lead 1c supports the tab 1a. A grounding connection part 3 is arranged between the semiconductor chip 2 and the inner lead 1d, when the semiconductor chip 2 is mounted on the tab 1a and electrically connected to a pad 2d for grounding the semiconductor chip 2 through wire bonding. A grounding connection part 3 comprises a plurality of outer leads linked to the inner leads 1d and is connected electrically to the suspending lead 1c and supported. As a result, the stabilization of the ground potential is improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

(19)日本国特許庁 (J.P.)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-168169

(43)公開日 平成11年(1999)6月22日

(51)Int.Cl.⁸

H 01 L 23/50

識別記号

F I

H 01 L 23/50

U

X

審査請求 未請求 請求項の数 9 ○L (全 10 頁)

(21)出願番号 特願平9-334658

(22)出願日 平成9年(1997)12月4日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233594

日立北海セミコンダクタ株式会社

北海道龜田郡七飯町字中島145番地

(72)発明者 岡本 敏昭

北海道龜田郡七飯町字中島145番地 日立

北海セミコンダクタ株式会社内

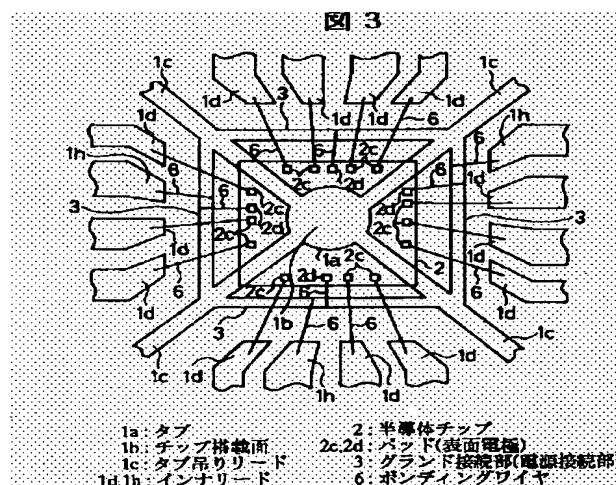
(74)代理人 弁理士 筒井 大和

(54)【発明の名称】 リードフレームおよびそれを用いた半導体装置ならびにその製造方法

(57)【要約】

【課題】 小タブ構造の半導体装置に搭載する半導体チップのパッドレイアウトの制約を無くす。

【解決手段】 半導体チップ2を搭載しつつチップ搭載面1bの大きさが半導体チップ2より小さいタブ1aと、タブ1aの周囲に延在して設けられた複数のインナリード1dと、タブ1aを支持するタブ吊りリード1cと、半導体チップ2をタブ1aに搭載した際に半導体チップ2とインナリード1dとの間に配置されかつ半導体チップ2のグランド用のパッド2dとワイヤボンディングによって電気的に接続されるグランド接続部3と、インナリード1dと連結した複数のアウタリードとからなり、タブ吊りリード1cに電気的に接続されて支持されたグランド接続部3が設けられたことにより、グランド電位の安定化の向上を図る。



【特許請求の範囲】

【請求項1】 半導体チップを搭載し、かつチップ搭載面の大きさが前記半導体チップより小さいタブと、前記タブの周囲に延在して設けられた複数のインナリードと、前記タブを支持するタブ吊りリードと、前記半導体チップを前記タブに搭載した際に前記半導体チップと前記インナリードとの間に配置され、かつ前記半導体チップの表面電極とワイヤボンディングによって電気的に接続される電源接続部とを有し、前記電源接続部が前記タブ吊りリードに支持されていることを特徴とするリードフレーム。

【請求項2】 請求項1記載のリードフレームであって、前記電源接続部が基準電位を供給するグランド接続部であり、かつ前記グランド接続部が前記タブ吊りリードに電気的に接続された状態で前記タブ吊りリードに支持されていることを特徴とするリードフレーム。

【請求項3】 請求項1または2記載のリードフレームであって、前記電源接続部が前記タブ吊りリードと一緒に形成されていることを特徴とするリードフレーム。

【請求項4】 半導体チップを搭載し、かつチップ搭載面の大きさが前記半導体チップより小さいタブと、前記タブの周囲に延在して設けられた複数のインナリードと、

前記タブを支持するタブ吊りリードと、前記半導体チップを前記タブに搭載した際に前記半導体チップと前記インナリードとの間に配置されるとともに、前記半導体チップの表面電極とワイヤボンディングによって電気的に接続され、かつ基準電位を供給する電源接続部であるグランド接続部と、

前記半導体チップを前記タブに搭載した際に前記半導体チップと前記インナリードとの間に配置されるとともに、前記半導体チップの表面電極とワイヤボンディングによって電気的に接続され、かつ前記グランド接続部より高い電位を供給する電源接続部である高電位側電源接続部とを有し、

前記グランド接続部が前記タブ吊りリードに電気的に接続された状態で前記タブ吊りリードに支持され、かつ前記高電位側電源接続部が前記タブ吊りリードと絶縁された状態で前記タブ吊りリードに支持されていることを特徴とするリードフレーム。

【請求項5】 請求項1, 2, 3または4記載のリードフレームであって、前記電源接続部が枠状に形成されていることを特徴とするリードフレーム。

【請求項6】 請求項1, 2, 3, 4または5記載のリードフレームであって、前記電源接続部が、前記インナリードの位置よりも半導体チップ搭載時の前記半導体チップの正面と反対の裏面側に配置されていることを特徴とするリードフレーム。

【請求項7】 請求項1, 2, 3, 4, 5または6記載

のリードフレームを用いた半導体装置であって、半導体チップより小さいチップ搭載面を備え、かつこのチップ搭載面に前記半導体チップを搭載したタブと、前記タブの周囲に延在して設けられ、かつ前記半導体チップの表面電極とワイヤボンディングによって電気的に接続された複数のインナリードと、

05 前記半導体チップと前記インナリードとの間に配置されるとともに、前記タブを支持するタブ吊りリードに支持され、かつ前記半導体チップの表面電極とワイヤボンディングによって電気的に接続された電源接続部と、前記半導体チップを封止して形成した封止本体部と、前記封止本体部から外方に突出したアウタリードとを有することを特徴とする半導体装置。

【請求項8】 請求項1, 2, 3, 4, 5または6記載

10 15 のリードフレームを用いた半導体装置の製造方法であって、

半導体チップより小さいチップ搭載面を備えたタブおよびこの周囲に延在するインナリードと、前記タブを支持するタブ吊りリードに支持されかつ前記半導体チップを前記タブに搭載した際に前記半導体チップと前記インナリードとの間に配置される電源接続部とを設けた前記リードフレームを準備する工程と、

前記半導体チップを前記タブの前記チップ搭載面に搭載する工程と、前記半導体チップの表面電極と前記インナリードとをワイヤボンディングによって電気的に接続する工程と、前記半導体チップの表面電極と前記電源接続部とをワイヤボンディングによって電気的に接続する工程と、前記半導体チップとボンディングワイヤとを封止する工程と、

20 25 30 前記リードフレームの枠部とアウタリードとを分離して、前記アウタリードを所望形状に形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項9】 請求項8記載の半導体装置の製造方法であって、前記電源接続部が基準電位を供給するグランド接続部であり、前記リードフレームを準備する際に、前記グランド接続部を前記タブ吊りリードと予め一体に形成した前記リードフレームを準備することを特徴とする半導体装置の製造方法。

40 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体製造技術に関し、特に、小タブ構造（タブの大きさを半導体チップの大きさより小さくした構造）のリードフレームおよびそれを用いた半導体装置ならびにその製造方法に関する。

【0002】

【従来の技術】以下に説明する技術は、本発明を研究、完成するに際し、本発明者によって検討されたものであり、その概要は次のとおりである。

【0003】半導体チップを搭載するタブを有したリードフレームを用いかつ樹脂封止を行う半導体装置の一例として、面実装形のQFP (Quad Flat Package)などがある。

【0004】QFPなどのタブを有する半導体装置では、そのタブ裏面においてタブと樹脂との間に剥離が発生したり、タブ（金属）と樹脂との熱膨張係数の差によって樹脂にクラックが形成されることがある。

【0005】そこで、前記剥離やクラックを防ぐには、タブとタブ裏面における樹脂との密着性の向上が考えられ、その具体的な対策として、タブの大きさを半導体チップの大きさより小さくする小タブ構造の半導体装置が挙げられる。

【0006】なお、小タブ構造のリードフレームおよびそれを用いた半導体装置については、例えば、特開平6-216303号公報や特開平7-7124号公報に開示されている。

【0007】

【発明が解決しようとする課題】ところが、前記した技術において、小タブ構造の半導体装置の場合、前記剥離やクラックについては効果が得られるものの、グランド電位の安定化を図るために半導体チップのグランド電極をフレーム側のグランドに接続する際には、半導体チップの角部にグランド電極を配置し、このグランド電極とタブ吊りリードとをワイヤボンディングによって接続している。

【0008】つまり、半導体チップの表面電極においてグランド電極を角部に配置しなければならず、その結果、半導体チップの表面電極のパッドレイアウトに制約が設けられてしまうことが問題とされる。

【0009】本発明の目的は、半導体チップにおけるパッドレイアウトの制約を無くす小タブ構造のリードフレームおよびそれを用いた半導体装置ならびにその製造方法を提供することにある。

【0010】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0011】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0012】すなわち、本発明によるリードフレームは、半導体チップを搭載しかつチップ搭載面の大きさが前記半導体チップより小さいタブと、前記タブの周囲に延在して設けられた複数のインナリードと、前記タブを支持するタブ吊りリードと、前記半導体チップを前記タブに搭載した際に前記半導体チップと前記インナリードとの間に配置されかつ前記半導体チップの表面電極とワイヤボンディングによって電気的に接続される電源接続部とを有し、前記電源接続部が前記タブ吊りリードに支

持されているものである。

【0013】これにより、小タブ構造のリードフレームを用いる際に半導体チップの表面電極におけるグランド電極または高電位側の電源電極をいずれの位置に配置し

05 てもワイヤボンディングによって前記電源接続部と接続することができるとともに、同じく前記電源接続部をグランド用のインナリードまたは高電位側の電源用のインナリードとワイヤボンディングによって接続することができる。

10 【0014】その結果、半導体チップの表面電極においてグランド電極または高電位側の電源電極を角部に配置しなければならないというパッドレイアウト上の制約を無くすことができる。

15 【0015】したがって、小タブ構造による効果、すなわち、耐クラック性や種々のチップサイズに対応できるフレキシブル性を維持しつつ、半導体チップ上の任意の箇所の表面電極におけるグランド接続または高電位側の電源接続を行うことが可能になり、半導体チップの回路設計におけるパッドレイアウトの自由度が増え、その結果、前記回路設計の簡略化を図ることができる。

20 【0016】なお、本発明のリードフレームは、前記電源接続部が基準電位を供給するグランド接続部であり、かつ前記グランド接続部が前記タブ吊りリードに電気的に接続された状態で前記タブ吊りリードに支持されているものである。

25 【0017】また、本発明の半導体装置は、半導体チップより小さいチップ搭載面を備えかつこのチップ搭載面に前記半導体チップを搭載したタブと、前記タブの周囲に延在して設けられかつ前記半導体チップの表面電極とワイヤボンディングによって電気的に接続された複数のインナリードと、前記半導体チップと前記インナリードとの間に配置されるとともに、前記タブを支持するタブ吊りリードに支持されかつ前記半導体チップの表面電極とワイヤボンディングによって電気的に接続された電源接続部と、前記半導体チップを封止して形成した封止本体部と、前記封止本体部から外方に突出したアウタリードとを有するものである。

30 【0018】さらに、本発明の半導体装置の製造方法は、半導体チップより小さいチップ搭載面を備えたタブおよびこれの周囲に延在するインナリードと、前記タブを支持するタブ吊りリードに支持されかつ前記半導体チップを前記タブに搭載した際に前記半導体チップと前記インナリードとの間に配置される電源接続部とを設けた前記リードフレームを準備する工程と、前記半導体チップを前記タブの前記チップ搭載面に搭載する工程と、前記半導体チップの表面電極と前記インナリードとをワイヤボンディングによって電気的に接続する工程と、前記半導体チップの表面電極と前記電源接続部とをワイヤボンディングによって電気的に接続する工程と、前記半導体チップとボンディングワイヤとを封止する工程と、前

35 40 45 50

記リードフレームの枠部とアウタリードとを分離して前記アウタリードを所望形状に形成する工程とを有するものである。

【0019】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0020】図1は本発明によるリードフレームの構造の実施の形態の一例を示す拡大部分平面図、図2は本発明による半導体装置の構造の実施の形態の一例を示す断面図、図3は本発明の半導体装置においてワイヤボンディング後の要部の構造の実施の形態の一例を半導体チップを透過して示す拡大部分平面図である。

【0021】図1に示す本実施の形態のリードフレーム1は、図3に示すように、小タブ構造(タブ1aの大きさを半導体チップ2の大きさより小さくした構造)のものであり、スマールダイパッド(SDP)フレームとも呼ばれるものもある。

【0022】また、図2に示す本実施の形態の半導体装置は、小タブ構造でかつ樹脂封止形のものであり、その一例として、面実装形のQFP(Quad Flat Package)を取り上げて説明する。

【0023】したがって、図1に示すリードフレーム1は、QFPに用いられるものである。

【0024】本実施の形態によるリードフレーム1の構成は、半導体チップ2を搭載し、かつチップ搭載面1bの大きさが半導体チップ2より小さいタブ1a(ダイパッドもしくはアイランドともいう)と、タブ1aの周囲に延在して設けられた複数のインナリード1dと、タブ1aを支持するタブ吊りリード1cと、半導体チップ2をタブ1aに搭載した際に半導体チップ2とインナリード1dとの間に配置され、かつ半導体チップ2のパッド(表面電極)2cとワイヤボンディングによって電気的に接続される電源接続部と、各々のインナリード1dを支持するとともに樹脂封止の際の樹脂4の流出を阻止するダムバー1gと、インナリード1dと連結して外部端子となる複数のアウタリード1eと、アウタリード1eをその先端部で支持する枠部1fとからなり、前記電源接続部がタブ吊りリード1cに支持されている。

【0025】なお、本実施の形態のリードフレーム1は、前記電源接続部が基準電位を供給するグランド接続部3(ここでは、0Vのアース用の接続部)の場合であり、かつグランド接続部3がタブ吊りリード1cに電気的に接続された状態でこのタブ吊りリード1cに支持されている。

【0026】つまり、電源接続部であるグランド接続部3は、タブ1aに半導体チップ2を搭載してワイヤボンディングを行う際に、半導体チップ2のグランド用(アース用)のパッド2dもしくはグランド用のインナリード1hとワイヤボンディングによって電気的に接続することにより、グランド電位の安定化の向上を図るもので

ある。

【0027】したがって、グランド接続部3は、ワイヤボンディングが行えるように半導体チップ2の周囲外方に配置されるものである。

05 【0028】そこで、本実施の形態のリードフレーム1は、図3に示すように、そのグランド接続部3が四角形の枠状のものであり、このグランド接続部3が、半導体チップ2よりも小さなタブ1aに半導体チップ2を搭載した際に、半導体チップ2の外方周囲において各々のインナリード1dとの間に配置される大きさのものである。

10 【0029】なお、リードフレーム1のグランド接続部3は、タブ吊りリード1cと一体に形成されているものである。

15 【0030】すなわち、リードフレーム1において、エッチング処理などによって各々のインナリード1d、アウタリード1eおよびタブ吊りリード1cなどを形成する際に、タブ吊りリード1cと一体に形成したものである。

20 【0031】また、本実施の形態のリードフレーム1は、QFP用のものであるため、小さなタブ1aが4本のタブ吊りリード1cによってその対角方向から支持されており、これにより、四角形の枠状のグランド接続部3も、その4つの角部において4本のタブ吊りリード1cと接合している。

25 【0032】さらに、本実施の形態のリードフレーム1におけるグランド接続部3は、図2に示すように、インナリード1dの位置よりも半導体チップ2搭載時の半導体チップ2の主面2aと反対の裏面2b側に配置されている。

30 【0033】つまり、タブ吊りリード1cがタブ下げ加工され、枠状のグランド接続部3がこのタブ下げ加工されたタブ吊りリード1cに一体形成されているため、グランド接続部3はインナリード1dよりも低い位置に配置されている。

35 【0034】なお、図1は、リードフレーム1において1個分のQFPの領域を示したものであるが、リードフレーム1は、図1に示す領域が複数個(例えば、5個程度)連なって形成された多連のものである。

40 【0035】また、リードフレーム1のインナリード1dのワイヤボンディングが行われる先端付近には、図2に示すボンディングワイヤ6との接続を良好に行うための半田めっきや金めっきあるいはパラジウムめっきなどのめっきが施されている。

45 【0036】このうち、半田めっきまたは金めっきの場合には、インナリード1dの先端付近のワイヤボンディングが行われる箇所のみにめっきが行われ、パラジウムめっきの場合には、外装としても活用可能なため、リードフレーム1全体にめっきが行われる。

50 【0037】ただし、前記めっきの種類は、前記した半

田めっきや金めっきあるいはパラジウムめっきに限定されるものではなく、ボンディングワイヤ6の素材との兼ね合いで他のめっきを行ってもよい。

【0038】また、リードフレーム1は、その厚さが、例えば、0.15～0.2mm程度であり、鉄とニッケルとの合金などによって形成されている。

【0039】さらに、QFPに用いられるリードフレーム1であるため、タブ1aの4方向の外方に多数(図1に示すリードフレーム1では、四角形の一辺で4本ずつのインナリード1dが配置され、これにより、合計16本のアウタリード1eを有している)のインナリード1dが延在している。

【0040】次に、本実施の形態による半導体装置の構成について説明する。

【0041】なお、前記半導体装置は、図1に示すリードフレーム1を用いて製造した樹脂封止形のQFPであり、図2に示すように、アウタリード1eがガルウイング状に形成されているものである。

【0042】前記QFPの構成について説明すると、半導体チップ2より小さいチップ搭載面1bを備え、かつこのチップ搭載面1bに半導体チップ2を搭載したタブ1aと、タブ1aを4つの方向から支持するタブ吊りリード1cと、タブ1aの周囲に延在して設けられ、かつ半導体チップ2の所定のパッド2c(表面電極)とボンディングワイヤ6によって電気的に接続された複数のインナリード1dと、半導体チップ2とインナリード1dとの間に配置されるとともにタブ吊りリード1cに支持され、かつ半導体チップ2のグランド用のパッド2dとワイヤボンディングによって電気的に接続された電源接続部であるグランド接続部3と、半導体チップ2を封止用の樹脂4によって樹脂封止して形成した封止本体部5と、半導体チップ2の所定のパッド2c, 2dとインナリード1d, 1hを介して電気的に接続し、かつ封止本体部5から外方に突出した外部端子であるアウタリード1eとから構成される。

【0043】つまり、リードフレーム1のタブ1aのチップ搭載面1bに半導体チップ2を搭載し、さらに、半導体チップ2の所定のパッド2c, 2dとこれに対応する所定のインナリード1d, 1hとをボンディングワイヤ6によって電気的に接続した後、半導体チップ2とボンディングワイヤ6を含む周辺部とを樹脂4によって樹脂封止したものである。

【0044】なお、本実施の形態のQFPにおいても、前記電源接続部が基準電位を供給するグランド接続部3の場合である。

【0045】そこで、半導体チップ2のパッド2c, 2dとインナリード1d, 1hとをワイヤボンディングによって電気的に接続する際に、半導体チップ2のグランド用のパッド2dとグランド接続部3とが、さらに、グランド接続部3とグランド用のインナリード1hとがワ

イヤボンディングによって電気的に接続されたものである。

【0046】これにより、前記QFPにおけるグランド電位の安定化の向上を図ることができる。

05 【0047】また、前記QFPにおいても、グランド接続部3は四角形の枠状のものであり、かつこのグランド接続部3がタブ吊りリード1cと一体に形成され、これにより、グランド接続部3は、タブ吊りリード1cに電気的に接続された状態でこのタブ吊りリード1cに支持されている。

10 【0048】つまり、電源接続部であるグランド接続部3は、タブ1aに半導体チップ2を搭載してワイヤボンディングを行う際に、半導体チップ2のグランド用(アース用)のパッド2dもしくはグランド用のインナリード1hとワイヤボンディングによって電気的に接続することにより、グランド電位の安定化の向上を図るものである。

15 【0049】さらに、このQFPにおいても、タブ吊りリード1cがタブ下げ加工され、枠状のグランド接続部3がこのタブ下げ加工されたタブ吊りリード1cに一体形成されているため、グランド接続部3はインナリード1dよりも低い位置に配置されている。

20 【0050】ここで、半導体チップ2は、銀ペーストなどによってタブ1aのチップ搭載面1bに固着(ペレットボンディング)されている。

25 【0051】また、封止本体部5を形成する樹脂4は、例えば、エポキシ系の熱硬化性の樹脂4などである。

【0052】さらに、ボンディングワイヤ6は、金やアルミニウムなどによって形成される金属細線である。

30 【0053】本実施の形態による半導体装置の製造方法について説明する。

【0054】なお、前記半導体装置の製造方法は、リードフレーム1を用いた半導体装置(本実施の形態では、QFP)の製造方法である。

35 【0055】まず、半導体チップ2より小さいチップ搭載面1bを備えたタブ1a(小タブ)およびこれの周囲に延在するインナリード1dと、タブ1aを支持するタブ吊りリード1cに支持されかつ半導体チップ2をタブ1aに搭載した際に半導体チップ2とインナリード1dとの間に配置されるグランド接続部3(電源接続部)とを設けた図1に示す多連のリードフレーム1を準備する。

40 【0056】この際、本実施の形態では、リードフレーム1の前記電源接続部が基準電位を供給するグランド接続部3であり、グランド接続部3をタブ吊りリード1cと予め一体に形成したリードフレーム1を用いる。

45 【0057】すなわち、本実施の形態においては、エッチング処理などによって各々のインナリード1d、アウタリード1eおよびタブ吊りリード1cなどを形成する際に、四角形の枠状のグランド接続部3をタブ吊りリード

ド1cと一体に形成したリードフレーム1を用いる。
【0058】その後、銀ペーストなどを用いて半導体チップ2をタブ1aのチップ搭載面1bに搭載する（ペレットボンディングする）。

【0059】続いて、半導体チップ2の所定のパッド2cとこれに対応するインナリード1dとをワイヤボンディングによって電気的に接続する。

【0060】すなわち、半導体チップ2の所定のパッド2c（ここでは、信号用のパッド2c）とこれに対応するインナリード1dとをボンディングワイヤ6によって電気的に接続する。

【0061】さらに、本実施の形態では、ワイヤボンディング工程において、図2または図3に示すように、半導体チップ2のグランド用のパッド2dとグランド接続部3とをワイヤボンディングによって接続するとともに、グランド接続部3とグランド用のインナリード1hとをワイヤボンディングによって接続する。

【0062】これにより、半導体チップ2のグランド用のパッド2dとグランド接続部3とがボンディングワイヤ6によって電気的に接続され、さらに、タブ吊りリード1cに支持されたグランド接続部3とグランド用のインナリード1hとがボンディングワイヤ6によって電気的に接続される。

【0063】その後、例えば、エポキシ系の熱硬化性の封止用の樹脂4などを用いて半導体チップ2とボンディングワイヤ6を含むその周辺部とを樹脂封止する。

【0064】さらに、リードフレーム1の枠部1fとアウタリード1eとを図示しないプレス加工などによって切断して分離し、その後、アウタリード1eを所望形状に曲げ形成する。

【0065】本実施の形態では、図2に示すように、アウタリード1eをガルウィング状に曲げ形成する。

【0066】その後、アウタリード1eの外装コーティングなどを行うことにより、図2に示すQFPを製造できる。

【0067】本実施の形態によるリードフレームおよびそれを用いた半導体装置ならびにその製造方法によれば、以下のような作用効果が得られる。

【0068】すなわち、小タブ構造のリードフレーム1においてタブ吊りリード1cに支持されかつ半導体チップ2とインナリード1dとの間に配置されるグランド接続部3（電源接続部）が設けられたことにより、半導体チップ2のグランド用のパッド2dをいずれの位置に配置してもワイヤボンディングによってグランド接続部3と接続することができるとともに、同じくグランド接続部3をグランド用のインナリード1hとワイヤボンディングによって接続することが可能になる。

【0069】これにより、半導体チップ2のパッド2cにおいてグランド用のパッド2dを角部に配置しなければならないというパッドレイアウト上の制約を無くすこ

とができる。

【0070】その結果、小タブ構造による効果、すなわち、耐クラック性や種々のチップサイズに対応できるフレキシブル性を維持しつつ、半導体チップ2上の任意の箇所のパッド2cにおけるグランド接続を行うことが可能になる。

【0071】つまり、半導体チップ2の角部も含め、それ以外の箇所のパッド2cにおいてもグランド接続を行うことができる。

05 【0072】これにより、半導体チップ2の回路設計におけるパッドレイアウトの自由度が増えるため、前記回路設計の簡略化を図ることができる。

【0073】特に、多ピンでかつ高集積な半導体チップ2におけるパッドレイアウトの容易化を図ることができる。

15 【0074】なお、QFPが小タブ構造であるため、搭載可能な半導体チップ2のバリエーションを増やすことができる。

【0075】また、半導体チップ2のパッド2cにおいてグランド用のパッド2dをいずれの箇所でも配置できるため、同一のグランド電位を半導体チップ2のあらゆる箇所から供給できる。

【0076】これにより、半導体チップ2内のグランド電位の安定性を向上できる。

20 【0077】さらに、QFPにおいてタブ吊りリード1cに支持されたグランド接続部3が設けられたことにより、グランド接続部3の面積を増やすことができる。

【0078】その結果、グランド接続におけるインピーダンスを下げることができ、信号ピンなどから発生するノイズの影響を受け難くすることができる。

25 【0079】また、QFPにおいてタブ吊りリード1cに支持されたグランド接続部3が設けられていることにより、グランド接続部3の数を増やすとともに、その設置箇所を分散させることができる。

【0080】これにより、QFPにおいてピン数を増やすことなく、グランド電位の供給箇所を増やすことが可能になる。

30 【0081】すなわち、QFPにおいてその外形を大きくすることなく、グランド電位の供給箇所を増やすことが可能になる。

【0082】その結果、信号ピンなどから発生するノイズから受ける影響を低減できる。

【0083】したがって、QFPにおけるグランド接続の安定化を図ることができ、これにより、QFPの電気的特性を向上できる。

35 【0084】また、リードフレーム1におけるグランド接続部3をタブ吊りリード1cと一体に形成することにより、リードフレーム製造時にエッティングなどによってインナリード1dなどと一緒にグランド接続部3を製造することができるため、比較的容易にかつ低コストでグ

ランド接続部3を製造できる。

【0085】さらに、グランド接続部3が枠状に形成されていることにより、グランド接続部3によってそれぞれのタブ吊りリード1cを電気的に接続した状態とすることができる。

【0086】これにより、グランド接続部3の面積を大幅に増加させることができるために、QFPにおけるグランド接続の安定化をさらに向上できる。

【0087】また、グランド接続部3が、インナリード1dの位置よりも半導体チップ2搭載時の半導体チップ2の裏面2b側に配置されている（グランド接続部3が、タブ下げ加工されたタブ吊りリード1cに支持されている）ことにより、グランド接続部3とボンディングワイヤ6との接触を防ぐことができる。

【0088】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記発明の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0089】例えば、前記実施の形態で説明したリードフレームおよび半導体装置においては、電源接続部がグランド接続部3の場合について説明したが、前記電源接続部は、図4に示すように、グランド接続部3よりも高い電位を供給する高電位側電源接続部7であってもよい。

【0090】ここで、図4および図5に示す他の実施の形態の半導体装置は、基準電位側（例えば、0V）のグランド接続部3と、それよりも高い電位側の高電位側電源接続部7との2つの電源接続部が設けられた場合のQFPを示すものである。

【0091】すなわち、図4および図5に示すQFPは、図1に示すリードフレーム1の構造に加えて、半導体チップ2をタブ1aに搭載した際に半導体チップ2とインナリード1dとの間に配置されるとともに、半導体チップ2の高電位側の電源用のパッド2eとワイヤボンディングによって電気的に接続され、かつグランド接続部3よりも高い電位を供給する電源接続部である高電位側電源接続部7を有したものであり、グランド接続部3がタブ吊りリード1cに電気的に接続された状態でタブ吊りリード1cに支持され、かつ高電位側電源接続部7がタブ吊りリード1cと絶縁された状態でタブ吊りリード1cに支持されているものである。

【0092】なお、この場合のグランド接続部3は、図3に示す前記実施の形態のQFPと同様にタブ吊りリード1cと一体で形成された枠状のものであり、また、高電位側電源接続部7は、ポリイミドテープなどの絶縁性接合部材8（図6参照、また、絶縁性フィルムや絶縁性の接着剤などでもよい）を介してタブ吊りリード1cに絶縁されて支持された枠状のものである。

【0093】さらに、図5に示すように、この2つの電

源接続部が設けられたQFPにおいても、グランド接続部3と高電位側電源接続部7とはタブ下げ加工が行われたタブ吊りリード1cに支持されている。

【0094】これにより、図4に示すQFPのように、
05 半導体チップ2のグランド用のパッド2dとグランド接続部3とが、かつ、グランド接続部3とグランド用のインナリード1hとがワイヤボンディングによって電気的に接続され、さらに、半導体チップ2の高電位側のパッド2eと高電位側電源接続部7とが、かつ、高電位側電源接続部7と高電位側のインナリード1iとがワイヤボンディングによって電気的に接続されている。

【0095】また、図6に示す他の実施の形態のQFPのように、電源接続部として、高電位側電源接続部7のみが設けられていてよい。

15 【0096】この際、半導体チップ2の裏面電極がグランド電位であれば、高電位側電源接続部7は、図6に示すように、ポリイミドテープなどの絶縁性接合部材8を介してタブ吊りリード1cに絶縁されて支持されなければならないが、前記裏面電極が高電位側の電源電位である場合には、高電位側電源接続部7はタブ吊りリード1cに電気的に接続させた支持形態としてよい。

【0097】なお、電源接続部が高電位側電源接続部7の場合においても、グランド電位を高電位側の電源電位に置き換えることにより、高電位側の電源接続に対してグランド接続部3の場合とほぼ同様の効果、すなわち、高電位側の電源接続の安定化の向上を図ることができる。

【0098】また、前記実施の形態（図1～図3）および前記他の実施の形態（図4～図6）においては、電源接続部が枠状に形成されている場合を説明したが、前記電源接続部の形状は、枠状に限定されるものではなく、図7または図8の他の実施の形態のグランド接続部3（高電位側電源接続部7についても同様）のように、全てのタブ吊りリード1cを連結することなくそれぞれのタブ吊りリード1cから個々に突出させた形状である。

【0099】これによれば、グランド接続部3の設置形態を、図7または図8に示すように、それぞれのタブ吊りリード1cを連結することなく各々のタブ吊りリード1cから突出させて設けることにより、グランド接続部3を設けた上でのリードフレーム1の形状を簡略化することができる。

【0100】その結果、グランド接続部3を設けたことによるリードフレーム1の歩留り低下を防ぐことができる。

【0101】また、前記実施の形態および前記他の実施の形態において、電源接続部がタブ吊りリード1cに電気的に接続されて支持される場合に、電源接続部がタブ吊りリード1cに一体に形成される場合について説明したが、その際、前記電源接続部は、必ずしもタブ吊りリード

ード1cと一体に形成されていなくてもよい。

【0102】つまり、少なくともワイヤボンディングが行われる時までに後付けによって、例えば、導電性の接合材などを用いて、前記電源接続部がタブ吊りリード1cに電気的に接続されかつ支持されていればよい。

【0103】なお、電源接続部がグランド接続部3であっても、あるいは、高電位側電源接続部7の場合であっても、その設置箇所については、タブ吊りリード1cの表側（半導体チップ2の正面2a側）であってもよく、また、裏側（半導体チップ2の裏面2b側）であってもよい。

【0104】さらに、前記実施の形態および前記他の実施の形態においては、電源接続部がタブ下げ加工されたタブ吊りリード1cに支持されている場合について説明したが、前記タブ下げ加工は必ずしも行わされていなくてもよく、前記電源接続部はタブ下げ加工されていないタブ吊りリード1cに支持されていてもよい。

【0105】また、前記実施の形態および前記他の実施の形態においては、半導体装置がQFPの場合について説明したが、前記半導体装置は、小タブ構造でかつワイヤボンディングを行うとともに、電源接続部がタブ吊りリード1cに支持されているものであれば、例えば、Jリードタイプの半導体装置などであってもよく、また、それ以外のタイプの半導体装置およびそれに用いられるリードフレーム1であってもよい。

【0106】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0107】（1）．小タブ構造のリードフレームにおいてタブ吊りリードに支持されかつ半導体チップとインナリードとの間に配置される電源接続部が設けられたことにより、半導体チップのグランド電極または高電位側の電源電極をいずれの位置に配置してもワイヤボンディングによって前記電源接続部と接続することができるとともに、同じく前記電源接続部をグランド用または高電位側の電源用のインナリードとワイヤボンディングによって接続することが可能になる。これにより、半導体チップのグランド電極または高電位側の電源電極を角部に配置しなければならないというパッドレイアウト上の制約を無くすことができる。

【0108】（2）．前記（1）により、小タブ構造による効果、すなわち、耐クラック性や種々のチップサイズに対応できるフレキシブル性を維持しつつ、半導体チップ上の任意の箇所の表面電極においてグランド接続または高電位側の電源接続を行うことが可能になる。これにより、半導体チップの回路設計におけるパッドレイアウトの自由度が増えるため、前記回路設計の簡略化を図ることができる。特に、多ピンでかつ高集積な半導体チップにおけるパッドレイアウトの容易化を図ることがで

きる。

【0109】（3）．半導体チップのグランド電極をいずれの箇所でも配置できるため、タブ吊りリードに支持された電源接続部がグランド接続部である際には、同一のグランド電位を半導体チップのあらゆる箇所から供給できる。これにより、半導体チップ内のグランド電位の安定性を向上できる。

【0110】（4）．半導体装置においてタブ吊りリードに支持された電源接続部が設けられ、かつこの電源接続部がグランド接続部である際には、グランド接続部の面積を増やすことができる。その結果、グランド接続におけるインピーダンスを下げることができ、信号ピンなどから発生するノイズの影響を受け難くくことができる。

【0111】（5）．前記（3）、（4）により、半導体装置における電源接続やグランド接続の安定化を図ることができ、これにより、半導体装置の電気的特性を向上できる。

【0112】（6）．電源接続部の設置形態を、各タブ吊りリードを連結することなくそれぞれのタブ吊りリードから突出させて設けることにより、電源接続部を設けた上でのリードフレームの形状を簡略化することができる。これにより、電源接続部を設けたことによるリードフレームの歩留り低下を防ぐことができる。

25 【図面の簡単な説明】

【図1】本発明によるリードフレームの構造の実施の形態の一例を示す拡大部分平面図である。

【図2】本発明による半導体装置の構造の実施の形態の一例を示す断面図である。

30 【図3】本発明の半導体装置においてワイヤボンディング後の要部の構造の実施の形態の一例を半導体チップを透過して示す拡大部分平面図である。

【図4】本発明の他の実施の形態である半導体装置においてワイヤボンディング後の要部の構造を半導体チップを透過して示す拡大部分平面図である。

35 【図5】本発明の他の実施の形態である半導体装置の構造を示す断面図である。

【図6】本発明の他の実施の形態である半導体装置の構造を示す断面図である。

40 【図7】本発明の他の実施の形態であるリードフレームの要部の構造を示す拡大部分平面図である。

【図8】本発明の他の実施の形態であるリードフレームの要部の構造を示す拡大部分平面図である。

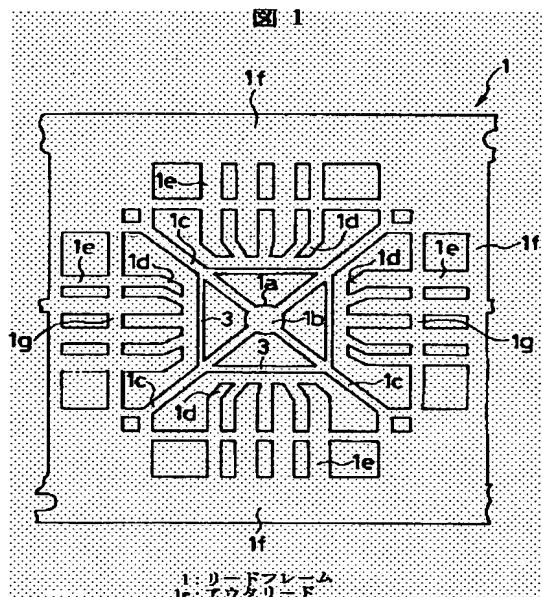
【符号の説明】

45 1 リードフレーム
1 a タブ
1 b チップ搭載面
1 c タブ吊りリード
1 d, 1 h, 1 i インナリード
1 e アウタリード

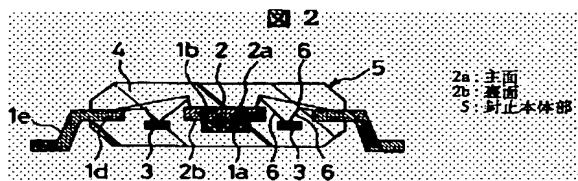
1 f 枠部
1 g ダムバー
2 半導体チップ
2 a 主面
2 b 裏面
2 c, 2 d, 2 e パッド (表面電極)

3 グランド接続部 (電源接続部)
4 樹脂
5 封止本体部
6 ボンディングワイヤ
05 7 高電位側電源接続部 (電源接続部)
8 絶縁性接合部材

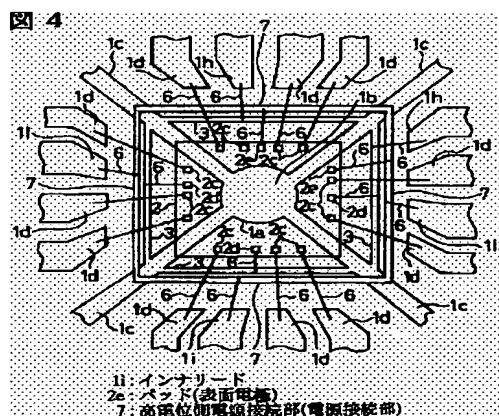
【図1】



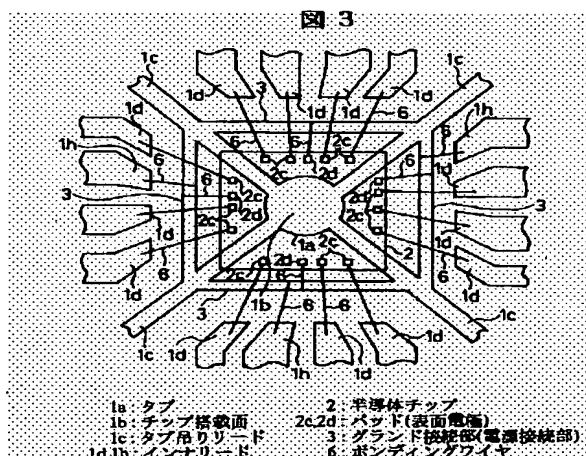
【図2】



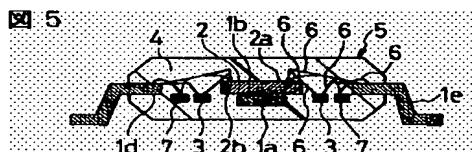
【図4】



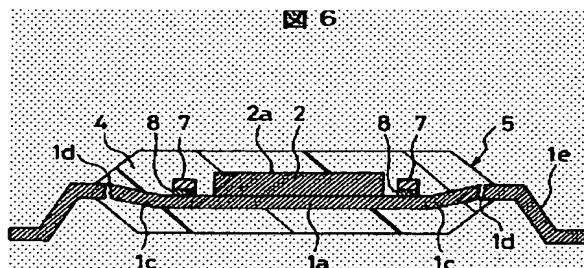
【図3】



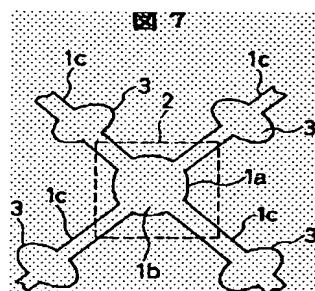
【図5】



【図6】



【図7】



【図8】

